

# ELECTROSTATIC CAPACITY TYPE ACCELERATION SENSOR AND PRODUCTION THEREOF

Publication number: JP8129026 (A)

Publication date: 1996-05-21

Inventor(s): ISHIDA TATSUYA; IMAEDA YASUO

Applicant(s): TOKAI RIKI CO LTD

Classification:

- International: B60T8/171; G01P1/02; G01P15/06; G01P15/125; G01P15/18; H01L29/84; B60T8/17; G01P1/00; G01P15/08; G01P15/125; G01P15/18; H01L29/66; (IPC1-7): G01P15/125; H01L29/84;  
- European: B60T8/171; G01P1/02B; G01P15/06A; G01P15/125; G01P15/18

Application number: JP19940267804 19941031

Priority number(s): JP19940267804 19941031

Also published as:

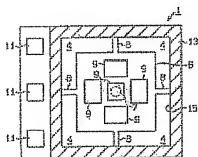
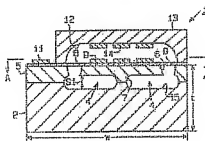
JP3305516 (B2)

DE19540120 (A1)

US5594171 (A)

Abstract of JP 8129026 (A)

PURPOSE: To provide a small-sized electrostatic capacity type acceleration sensor excellent in mechanical strength. CONSTITUTION: A mass part 6 equipped with movable electrodes 9 is arranged in the recessed part 15 formed on the surface of a P-type single crystal silicon substrate 2 in a displaceable manner and fixed electrodes 14 are arranged at the positions opposed to the movable electrodes 9 so as to be spaced apart from the electrodes 9. The mass part 6 is elastically supported from the rear surface thereof by a support pillar 7 and elastically supported from the side surface thereof by four beams 8. By this constitution, the damping characteristics of the mass part 6 are improved.



Data supplied from the esp@cenet database — Worldwide

特開平8-129026

(43) 公開日 平成8年(1996)5月21日

(51) Int. Cl.<sup>5</sup>  
G 0 1 P 15/125  
H 0 1 L 29/84

識別記号 庁内整理番号

A

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平6-267804

(22) 出願日 平成6年(1994)10月31日

(71) 出願人 000003551

株式会社東海理化電機製作所

愛知県丹羽郡大口町大字豊田字野田1番地

(72) 発明者 石田 竜也

愛知県丹羽郡大口町大字豊田字野田1番地

株式会社東海理化電機製作所内

(72) 発明者 今枝 泰夫

愛知県丹羽郡大口町大字豊田字野田1番地

株式会社東海理化電機製作所内

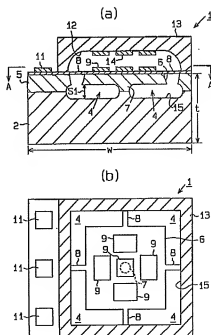
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 静電容量式加速度センサ及びその製造方法

(57) 【要約】

【目的】 小型でしかも機械的強度に優れた静電容量式加速度センサを提供すること。

【構成】 可動電極9を備えるマス部6を、p型単結晶シリコン基板2の表面に形成された凹部15内に変位可能に配置する。可動電極9に相対する位置に固定電極14を離間させて配設する。マス部6をその下面側から支持柱7によって弾性的に支承し、その側面側から4数の梁8によって弾性的に支承する。この構成であると、マス部6のダンピング特性が改善される。



1

## 【特許請求の範囲】

【請求項1】可動電極（9）を備えるマス部（6）をシリコン基板（2）表面に形成された凹部（15）内に変位可能に配置し、前記可動電極（9）に相対する位置に固定電極（14）を間隔させて配設した静電容量式加速度センサ（1）において、

前記マス部（6）をその下面側から弾性的に支承する支持柱（7）と、同マス部（6）をその側面側から弾性的に支承する複数の梁（8）とを備えた静電容量式加速度センサ、

【請求項2】請求項1に記載の静電容量式加速度センサ（1）を製造する方法において、

p型単結晶シリコン基板（2）の表面側の所定領域に第1のp型シリコン層（3）を埋め込み形成し、その埋め込まれた第1のp型シリコン層（3）と前記p型単結晶シリコン基板（2）の外面とを連通させる第2のp型シリコン層（23）を形成した後、第1及び第2のp型シリコン層（3、23）を陽極化することによって両p型シリコン層（3、23）を多孔質シリコン層（24）に変化させ、次いでアルカリエッチングによってその多孔質シリコン層（24）を除去することにより、同多孔質シリコン層（24）があった部分を空洞化するとともに前記凹部（15）内に前記マス部（6）、支持柱（7）及び梁（8）を形成する静電容量式加速度センサの製造方法、

【請求項3】請求項1に記載の静電容量式加速度センサ（1）を製造する方法において、

p型単結晶シリコン基板（2）の表面側の所定領域に第1のp型シリコン拡散層（3）を形成し、そのp型シリコン拡散層（3）を覆うようにn型シリコン層（5）を形成し、前記埋め込まれた第1のp型シリコン拡散層（3）と前記n型シリコン層（5）の外面とを連通させる第2のp型シリコン拡散層（23）を形成し、前記両p型シリコン拡散層（3、23）を陽極化することによって両p型シリコン拡散層（3、23）を多孔質シリコン層（24）に変化させ、物理的成膜法によって前記p型単結晶シリコン基板（2）の表面に可動電極（9）を形成し、次いでアルカリエッチングによって前記多孔質シリコン層（24）を除去することにより、同多孔質シリコン層（24）があった部分を空洞化するとともに前記凹部（15）内に前記マス部（6）、支持柱（7）及び梁（8）を形成した後、前記固定電極（14）が形成されたガラス基板（13）を前記p型単結晶シリコン基板（2）の表面に陽極接合する静電容量式加速度センサの製造方法、

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、静電容量式加速度センサ及びその製造方法に関するものである。

【0002】

2

【従来の技術】従来、自動車におけるABS（アンチロックブレーキシステム）、エアバッグシステム、ナビゲーションシステム等に利用される加速度センサとして、例えば図12に示されるバルク型の歪みゲージ式加速度センサ30が知られている。

【0003】このタイプの加速度センサ30は、直方体状をした面方位（100）のシリコン単結晶基板31のバルクを、その表面及び裏面の双方から選択的にエッチング（結晶異方性エッチング）することによって製造される。エッチングによって形成された検知部32は、おもりの役割を果たすマス部33と、それを変位可能に支持する片持ち梁34とによって構成されている。片持ち梁34の上面には、複数の拡散抵抗35からなる歪みゲージが形成されている。従って、このセンサ30に加速度が印加すると、マス部33が所定の方向に変位し、片持ち梁34部に湾曲が生じる。このとき、片持ち梁34部に形成された拡散抵抗35に歪みが生じる結果、いわゆるシリコンのピエゾ抵抗効果によって、拡散抵抗35の抵抗値が増加または減少する。そして、この抵抗値の変化を検出することによって、加速度が検知される。

【0004】

【発明が解決しようとする課題】ところで、従来の加速度センサ30の場合、所定の検出感度を得るためには、少なくとも厚さ $t$ が $200\mu\text{m} \sim 300\mu\text{m}$ のシリコン単結晶基板31を使用し、ある程度肉厚なマス部33を形成する必要がある。

【0005】しかし、肉厚なシリコン単結晶基板31を裏面側からエッチングするときには、異方性エッチングの特性（即ち、（111）面に沿った開口角 $\theta=125.26^\circ$ のエッチング穴が形成されること）を考慮して、開口部aの寸法をある程度大きく設定しなければならない。これに伴ってチップの幅Wも大きくなり、加速度センサ30全体の小型化が充分に図れないという問題があった。

【0006】上記の加速度センサ30とは別のタイプのセンサとして、シリコン基板の表面側に形成された薄膜をエッチングすることによって製造される、いわゆる表面型の静電容量式加速度センサが知られている。このタイプの加速度センサの場合、シリコン基板の表面に形成された凹部内には、検知部を構成するマス部が支持構造によって変位可能に支承されている。前記マス部の上面には、複数の可動電極が形成される。各可動電極に相対する位置には、同じく複数の固定電極が所定の間隔を隔てて配設される。従って、このセンサに加速度が印加すると、マス部の変位に伴って各可動電極と各固定電極とがなすコンデンサの静電容量に変化が生じる。そして、この変化を検出することによって、加速度の方向及びその大きさが検出される。

【0007】ところで、シリコン基板表面に凹部を形成する場合、犠牲層エッチングを行うためにあらかじめ犠

3

性層を形成しなければならず、工程的に煩雑であった。また、従来の表面型の静電容量式加速度センサの場合、マス部を片持ち梁で支持した構造が一般的であったため、大きな加速度が印加すると支持構造に破壊が生じやすかった。

【0008】本発明は上記の問題を解決するためになされたものであり、その目的は、小型でも機械的強度に優れた静電容量式加速度センサを提供することにある。また、本発明の別の目的は、上記の優れた加速度センサを容易に製造できる静電容量式加速度センサの製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記の問題を解決するために、請求項1に記載の発明は、可動電極を備えるマス部をシリコン基板表面に形成された凹部に変位可能に配置し、前記可動電極に相対する位置に固定電極を隔間させて設けた静電容量式加速度センサにおいて、前記マス部とその下面側から弾性的に支承する支持柱と、同マス部とその側面側から弾性的に支承する複数の梁とを備えた静電容量式加速度センサをその要旨とする。

【0010】請求項2に記載の発明は、請求項1に記載の静電容量式加速度センサを製造する方法において、p型単結晶シリコン基板の表面側の所定領域に第1のp型シリコン層を埋め込み形成し、その埋め込まれた第1のp型シリコン層と前記p型単結晶シリコン基板の外面とを連通させる第2のp型シリコン層を形成した後、第1及び第2のp型シリコン層を陽極化成することによって両p型シリコン層を多孔質シリコン層に変化させ、次いでアルカリエッチングによってその多孔質シリコン層を除去することにより、同多孔質シリコン層があった部分を空洞化するとともに前記凹部に前記マス部、支持柱及び梁を形成する静電容量式加速度センサの製造方法をその要旨とする。

【0011】請求項3に記載の発明は、請求項1に記載の静電容量式加速度センサを製造する方法において、p型単結晶シリコン基板の表面側の所定領域に第1のp型シリコン拡散層を形成し、そのp型シリコン拡散層を覆うようにn型シリコン層を形成し、前記埋め込まれた第1のp型シリコン拡散層と前記n型シリコン層の外面とを連通させる第2のp型シリコン拡散層を形成し、前記両p型シリコン拡散層を陽極化成することによって両p型シリコン拡散層を多孔質シリコン層に変化させ、物理的成膜法によって前記p型単結晶シリコン基板の表面に可動電極を形成し、次いでアルカリエッチングによって前記多孔質シリコン層を除去することにより、同多孔質シリコン層があった部分を空洞化するとともに前記凹部に前記マス部、支持柱及び梁を形成した後、前記固定電極が形成されたガラス基板を前記p型単結晶シリコン基板の表面に陽極接合する静電容量式加速度センサの製造方法をその要旨とする。

4

【0012】

【作用】請求項1に記載の発明によると、マス部が支持柱によってその下面側から弾性的に支承されるとともに、複数の梁によってその側面側から弾性的に支承される。従って、梁のみによってマス部を支持する構造等と比べて、ダンピング特性が改善される。

【0013】請求項2、3に記載の発明によると、p型シリコン層は、陽極化成を経て多孔質化することにより、アルカリに溶解しやすくなる。従って、多孔質シリコン層に対するアルカリエッチングによって当該部分が空洞化され、所定部分にマス部等が形成される。このため、犠牲層を形成したうえでエッチングするという手順が不要になる。

【0014】

【実施例】以下、本発明を具体化した一実施例を図1〜図11に基づき詳細に説明する。図1(a)、図1(b)には、本実施例の静電容量式加速度センサ1の構成が概略的に示されている。面方位(100)のp型シリコン単結晶基板(以下、単にシリコン基板と呼ぶ。)2の上面側には、多孔質化されたp型シリコン拡散層3、23をアルカリエッチングすることによって得られる略正方形の凹部15が形成されている。この凹部15内には、主としてn型シリコンエピタキシャル成長層5からなるマス部6が変位可能に配置されている。マス部6の下面中央部(即ち、マス部6の重心の真下)には、1本の支持柱7が形成されている。マス部6の4つの側面には、バネ部として機能する肉厚の梁8がそれぞれ形成されている。従って、支持柱7はマス部6を下面側から弾性的に支承し、各梁8はマス部6を側面側から弾性的に支承している。

【0015】前記マス部6の上面には、スパッタリングや真空蒸着等の物理的成膜法によって、5つの可動電極9が形成されている。また、シリコン基板2の外縁部の上面には、同じく物理的成膜法によって形成された複数のボンディングパッド11が配置されている。前記可動電極9とボンディングパッド11とは、マス部6の上面から梁8の上面にわたって形成された配線パターン(図示略)を介して電氣的に接続されている。これらの配線パターンは、可動電極9等と同様に物理的成膜法によって形成される。

【0016】シリコン基板2の上面には、裏面側に凹部12を有するガラス基板13が陽極接合法によって接合されている。ガラス基板13を接合した場合、前記凹部12とシリコン基板2側の凹部15とによって、マス部6を收容する1つの空間が区画される。ガラス基板13側の凹部12内には、物理的成膜法によって5つの固定電極14が形成されている。これらの固定電極14は、それぞれ可動電極9と相対する位置に、同可動電極9と一定間隔を隔てて配置されている。従って、これらの固定電極14と各可動電極9とによって、合計5つのコン

5

デンサC1～C5が構成されている。リファレンス用のコンデンサC5は、マス部6の中央部にレイアウトされている。その他のコンデンサC1～C4は、前記コンデンサC5の周囲にレイアウトされている。なお、各固定電極14は、図示しない配線パターンを介してボンディングパッド11に電気的に接続されている。そして、各ボンディングパッド11は、加速度センサ1の外部にある容量検出回路(図示略)に対してワイヤボンディングされる。

【0017】また、実施例において各部の寸法は以下の通りである。即ち、シリコン基板2(ただし、エピタキシャル成長層5を含む。)の幅W及び厚さtは、1μm、約500μmである。マス部6の厚さは約20μmであり、マス部6の底面と凹部15の内底面との間のクリアランスS1は約5μmである。支持柱7の直径は約20μmである。梁8の厚さ、幅及び長さは、それぞれ約1μm、約20μm、約50μmである。物理的成膜法によって形成される可動電極9やボンディングパッド11等の厚さは、約1μmである。そして、各可動電極9と各固定電極14との間隔は、加速度が印加していない図1(a)の状態において約10μmである。

【0018】図2は、図1(a)の状態にある加速度センサ1に、X軸方向(即ち、図2の左側から右側に向かう方向)から加速度が印加したときのマス部6の変位の様子を示している。このとき、マス部6は、中央部を支点として左側部が上方に変位し、右側部が下方に変位する。従って、コンデンサC1を構成する可動電極9と固定電極14との間隔が小さくなり、コンデンサC2を構成する可動電極9と固定電極14との間隔が大きくなる。このとき、X軸方向の加速度の大きさは、容量検出回路に出力されるコンデンサC1、C2の静電容量(キャパシタンス)の差分値ΔCxに基づいて求められる。

【0019】加速度センサ1にY軸方向(即ち、図2の紙面奥側から手前側へ向かう方向)から加速度が印加したとき、マス部6は上記のとおりと類似の挙動を示す。即ち、マス部6の奥端部が上方に変位し、手前側が下方に変位する。このとき、Y軸方向の加速度の大きさは、コンデンサC3、C4の静電容量の差分値ΔCyに基づいて求められる。なお、図4(a)、図4(b)には、各コンデンサC1～C5の静電容量に基づいて演算処理をするときの配線が概念的に示されている。図4(b)の下側のコンデンサC1は、4つのコンデンサC1～C4を1つのコンデンサC1としてみることを意味している。

【0020】図3は、図1(a)の状態にある加速度センサ1に、Z軸方向(即ち、図3の上側から下側に向かう方向)から加速度が印加したときのマス部6の変位の様子を示している。このとき、マス部6の中央部は支持柱7があるために殆ど変位することなく、その外縁部が下方に変位する。従って、コンデンサC1～C4を構成

6

する可動電極9と固定電極14との間隔が大きくなる。一方、リファレンス用のコンデンサC5を構成する可動電極9と固定電極14との間隔には、特に大きな変化は生じない。このとき、Z軸方向の加速度の大きさは、コンデンサC1～C4の静電容量とコンデンサC5の静電容量との差分値ΔCzに基づいて求められる。

【0021】次に、実施例の加速度センサ1の製造手順を図5～図11に基づいて説明する。まず、面方向(100)のp型単結晶シリコン基板2の表裏両面に、酸化膜(SiO<sub>2</sub>膜)20を形成する。そして、この酸化膜20に対してフォトリソエッチングを行うことによって、酸化膜20の所定領域に略正方形の開口部20aを形成する。ただし、開口部20aの中心部には、後に支持柱7を形成するために円形状の非開口部が残される。次いで、イオン注入等によって前記開口部20aにほう素を打ち込み、さらにそのほう素を熱拡散させる。この結果、図5に示されるように、シリコン基板2の表面における所定領域に、p<sup>+</sup>シリコンからなる第1のp型シリコン層としての第1のp型シリコン拡散層3が形成される。その後、エッチングによってシリコン基板2から酸化膜20を除去する。

【0022】次に、図6に示されるように、第1のp型シリコン拡散層3が形成されたシリコン基板2の上面に、気相成長によってn型シリコンエピタキシャル成長層5を形成する。その後、エピタキシャル成長層5が形成されたシリコン基板2の表裏両面に、再び酸化膜22を形成する。この後、フォトリソエッチングによって酸化膜22の所定領域に略十字状の開口部22aを形成する。

【0023】次に、図7に示されるように、イオン注入等によって前記開口部22aにほう素を打ち込み、さらにそのほう素を熱拡散させる。この結果、エピタキシャル成長層5上面の所定領域に、p<sup>+</sup>シリコンからなる第2のp型シリコン層としての第2のp型シリコン拡散層23が形成される。あらたに形成されたp型シリコン拡散層23は、エピタキシャル成長層5内に埋め込まれていたp型シリコン拡散層3と、シリコン基板2の外表面(詳細にはエピタキシャル成長層5の外表面)とを連通すること。この後、エッチングによってシリコン基板2から酸化膜22を除去する。

【0024】次に、シリコン基板2を高濃度のふっ酸水溶液中に浸漬し、この状態でシリコン基板2を陽極として電流を流す。前記のような陽極化によってp型シリコン拡散層3、23の部分のみを選択的に多孔質化することにより、図8に示されるような多孔質シリコン層24を形成する。その後、シリコン基板2の表裏両面に、再び酸化膜25を形成する。そして、この酸化膜25をフォトリソエッチングすることにより、第2のp型シリコン拡散層23であった箇所の上に、後に梁8となる部分を形成する。ここで、酸化膜25が形成されたシリコン基板2の上面に、図示しないフォトリソレジストを塗布し、

7

露光・現像を行う。

【0025】次に、図9に示されるように、A1のスパッタリングまたは真空蒸着を行うことによって、可動電極9、ボンディングパッド11及び図示しない配線パターンを形成する。次いで、フォトリソを除去した後、第2のp型シリコン拡散層23であった箇所の上面のみを残して、シリコン基板2の表面全体をエッチングレジスト26で被覆する。ここで、TMAH（テトラメチルアンモニウムハイドロキシド）でアルカリエッチングを行う。その結果、図10に示されるように、多孔質シリコン層24が選択的にエッチングされ、当該部分に空洞部4が形成される。従って、シリコン基板2の表面に所望形状の凹部15が形成されることになる。また、エッチングされずに残ったエピタキシャル成長層5の一部は、マス部6及び支持柱7になる。そして、マス部6の側面側には、梁8が形成される。この後、不要になったエッチングレジスト26をシリコン基板2から除去する。

【0026】次に、図11に示されるように、ガラス基板13の凹部12側をシリコン基板2の表面に向かい合わせ、300℃〜400℃でシリコン基板2側を隔層として約500Vの電圧を印加する。なお、ガラス基板13の凹部12内には、あらかじめA1のスパッタリング等によって、固定電極14と配線パターンとを形成しておく。以上のような隔層接合の結果、ガラス基板13がシリコン基板2に接合され、図11に示されるような加速度センサ1が得られる。

【0027】さて、以上詳述した本実施例の加速度センサ1では、マス部6が支持柱7によってその下面側から弾性的に支承されるとともに、4つの梁8によってその側面側から弾性的に支承されている。従って、支持柱7のみまたは梁8のみによってマス部6を支持する構造に比べて、検知部のダンピング特性が改善される。よって、加速度センサ1に大きな加速度が印加したときでも、支持構造である支持柱7及び梁8に破壊が生じにくい。このため、加速度センサ1の機械的強度が確実に向上する。

【0028】また、この加速度センサ1はいわゆる表面型であるため、シリコン基板2の基面側からのエッチングを経ることなく製造される。よって、従来のバルク型の加速度センサに特有の問題（即ち、(111)面に沿ったエッチング穴が形成されることに伴うチップ幅Wの増大など）も解消される。ゆえに、所定の検出感度を維持しつつ、加速度センサ1全体の小型化を図ることができる。

【0029】また、本実施例の製造方法によると、第1及び第2のp型シリコン拡散層3、23は、陽極化成を経て多孔質化することにより、アルカリに溶解しやすくなる。従って、多孔質シリコン層24に対するアルカリエッチングによって当該部分を空洞化すれば、所定部分

8

に凹部15、マス部6、支持柱7及び梁8を確実にかつ容易に形成することができ。このため、犠牲層を形成したうえでエッチングするという、従来の面倒な手順を採る必要がなくなる。よって、製造工程の簡略化が達成される。さらに、多孔質シリコン層24を除去することの製造方法である、シリコン基板2の面方位に特に制約を受けないというメリットがある。

【0030】さらに、本実施例の製造方法は、基本的にはバイポーラICの製造プロセスに近いものである。従って、加速度センサ1とバイポーラICとを一体化できるというメリットがある。このことは、加速度センサ1の小型化を実現するうえで好都合である。

【0031】なお、本発明は上記実施例のみに限定されることはなく、例えば次のように変更することが可能である。

(1) p型単結晶シリコン基板2として面方位(100)以外の基板、例えば(111)基板や(110)基板等を使用してもよい。

【0032】(2) TMAH以外のアルカリ系エッチャントとして、例えばKOH、ヒドラジン、EPW（エチレンジアミン・ピロカデコール）等を使用してもよい。

【0033】(3) 可動電極9、固定電極14、ボンディングパッド11等を形成する金属材料として、A1のほか例えばAu等を選択してもよい。

(4) 梁8の本数、形状、レイアウトは実施例と異なるものでも構わない。即ち、梁8の本数は3本以下や5本以上でもよい。また、梁8を波型等のような非直線形状にしてもよい。さらに、梁8をマス部6のコーナー部に配置してもよい。

【0034】(5) 加速度センサ1を製造する場合、n型シリコンエピタキシャル成長層5に代えて、例えばn型の多結晶シリコン層やアモルファスシリコン層等を形成してもよい。

【0035】(6) 実施例のような3軸の加速度センサ1のほかにも、電極数を減らすことによって2軸、1軸の加速度センサを構成することも勿論可能である。

(7) 実施例と同様の製造方法によって、例えばマス部6が梁8のみまたは支持柱7のみによって支承された加速度センサを製造することも可能である。

【0036】ここで、特許請求の範囲に記載された技術的思想のほかに、前述した実施例及び別例によって把握される技術的思想をその効果とともに以下に列挙する。

(1) 請求項1において、マス部の外形は略正方形であり、梁はその各辺に1つずつ配置されること。

【0037】なお、本明細書中において使用した技術用語を次のように定義する。

「隔層化」：電解液中で基板を隔層として電流を流すことにより、その基板に多孔質層を形成する一括改質加工をいう。」

【0038】

【発明の効果】以上詳述したように、請求項1に記載の発明によれば、小型でしかも機械的強度に優れた静電容量式加速度センサを提供することができる。また、請求項2、3に記載の発明によれば、上記の優れた静電容量式加速度センサを容易に製造できる。

【図面の簡単な説明】

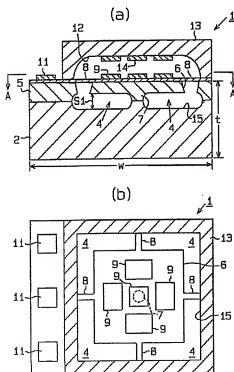
【図1】(a)は実施例の静電容量式加速度センサを示す概略断面図、(b)は(a)のA-A線における断面図。

【図2】前記加速度センサにX軸方向からの加速度が印加したときの状態を示す概略断面図。

【図3】前記加速度センサにZ軸方向からの加速度が印加したときの状態を示す概略断面図である。

【図4】(a)、(b)は、各コンデンサの静電容量に基づいた演算処理をするときの配線を概念的に示した図。

【図1】



【図5】加速度センサの製造手順を示す概略断面図。

【図6】加速度センサの製造手順を示す概略断面図。

【図7】加速度センサの製造手順を示す概略断面図。

【図8】加速度センサの製造手順を示す概略断面図。

【図9】加速度センサの製造手順を示す概略断面図。

【図10】加速度センサの製造手順を示す概略断面図。

【図11】加速度センサの製造手順を示す概略断面図。

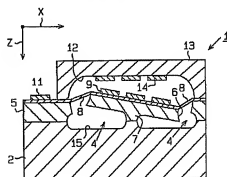
【図12】従来の加速度センサを示す概略断面図。

【符号の説明】

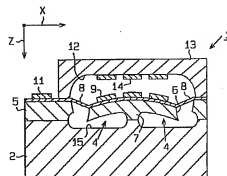
10

1…静電容量式加速度センサ、2…シリコン基板としてのp型単結晶シリコン基板、3…第1のp型シリコン層としての第1のp型シリコン拡散層、5…n型シリコン層としてのn型シリコンエピタキシャル成長層、6…マスキング層、7…支持柱、8…梁、9…可動電極、13…ガラス基板、14…固定電極、15…凹部、23…第2のp型シリコン層としての第2のp型シリコン拡散層、24…多孔質シリコン層。

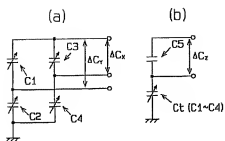
【図2】



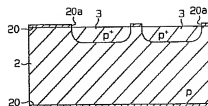
【図3】



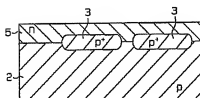
【圖4】



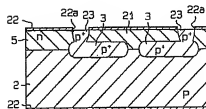
【圖5】



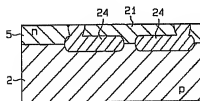
【圖6】



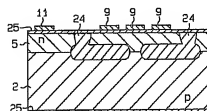
【圖7】



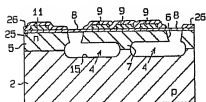
【圖8】



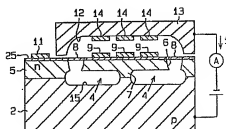
【圖9】



【圖10】



【圖11】



【圖12】

